

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-38643

(P2004-38643A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl.⁷

G06F 13/14
G06F 13/12
G06K 19/07

F I

G06F 13/14 330C
G06F 13/12 310E
G06K 19/00 N

テーマコード (参考)

5B014
5B035

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2002-195853 (P2002-195853)
(22) 出願日 平成14年7月4日 (2002.7.4)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100062926
弁理士 東島 隆治
(72) 発明者 岩田 和也
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 加藤 勇雄
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 中村 清治
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

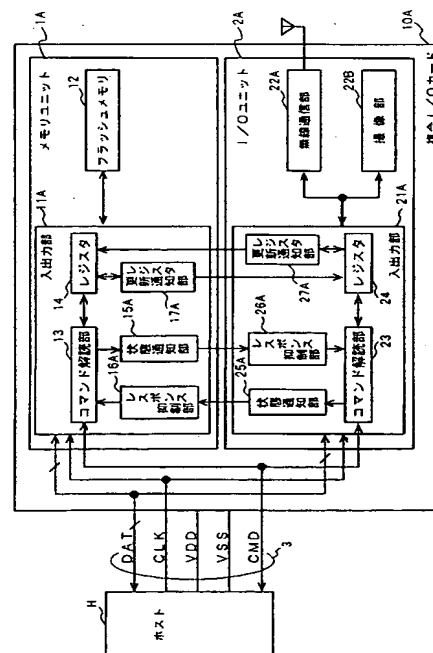
(54) 【発明の名称】 複合入出力装置

(57) 【要約】

【課題】 ホストとの間のバスを共用する二以上の入出力装置の複合であり、それぞれの装置の単体と同様な一つの装置としてホストにより良好に認識される入出力装置を提供する。

【解決手段】 複合I/Oカード10はメモリユニット1AとI/Oユニット2Aを含む。それぞれのユニットの入出力部11Aと21Aとは共通のバス3でホストHへ接続される。ホストHはコマンド線CMDを通し、両方の入出力部のコマンド解読部13と23とへコマンドを送出する。それぞれのコマンド解読部はそのコマンドに対しレスポンスを設定する。状態通知部15Aと25Aとは自己の属する入出力部の状態を他の入出力部へ通知する。通知された状態に基づき、レスポンス抑制部16Aと26Aとは自己の属する入出力部のコマンド解読部13と23とによるレスポンスを抑制し、それらのレスポンスの適切な一方だけをホストHへ送出する。

【選択図】 図1



【特許請求の範囲】

【請求項1】

(A) ホストからのコマンドの内、第一のコマンド群に属するものを、第一の機能部へ中継するための第一の入出力部；

(B) 前記ホストからのコマンドの内、第二のコマンド群に属するものを、第二の機能部へ中継するための第二の入出力部；及び、

(C) 前記第一の入出力部と前記第二の入出力部とをそれぞれ前記ホストへ接続し、それらの入出力部により共用されるバス；

を有する複合入出力装置であり、

(D) 前記第一の入出力部と前記第二の入出力部とが前記ホストにより共通のアドレスでアクセスされ；

(E) 前記第一の入出力部が、前記第二の入出力部の状態に応じ、前記コマンドに対するレスポンスを送出し、又は抑制し；

(F) 前記第二の入出力部が、前記第一の入出力部の状態に応じ、前記コマンドに対するレスポンスを送出し、又は抑制する；

複合入出力装置。

【請求項2】

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記ホストからのコマンドを解釈し、そのコマンドに対するレスポンスを前記ホストへ送出するためのコマンド解釈部；

(B) 自己の属する前記入出力部の状態を他の前記入出力部へ通知するための状態通知部；及び、

(C) 前記他の入出力部の前記状態通知部から入力された前記他の入出力部の状態に応じ、前記自己の属する入出力部の前記コマンド解釈部による前記レスポンスを抑制するためのレスポンス抑制部；

を有する、請求項1記載の複合入出力装置。

【請求項3】

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記ホストからのコマンドを解釈し、そのコマンドに対するレスポンスを前記ホストへ送出するためのコマンド解釈部；

(B) 前記コマンドの履歴を記憶し、その履歴に基づき他の前記入出力部の状態を推測するための状態推測部；及び、

(C) 前記状態推測部により推測された前記他の入出力部の状態に応じ、自己の前記コマンド解釈部による前記レスポンスを抑制するためのレスポンス抑制部；

を有する、請求項1記載の複合入出力装置。

【請求項4】

(A) 前記第一のコマンド群に属するコマンドに対し、前記第一の入出力部がレスポンスを送出し、前記第二の入出力部がレスポンスを抑制し；

(B) 前記第二のコマンド群に属するコマンドに対し、前記第一の入出力部がレスポンスを抑制し、前記第二の入出力部がレスポンスを送出する；

請求項1記載の複合入出力装置。

【請求項5】

前記第一のコマンド群と前記第二のコマンド群との間の共通コマンドに対し、前記第一の入出力部がレスポンスを送出し、前記第二の入出力部がレスポンスを抑制する、請求項1記載の複合入出力装置。

【請求項6】

前記入出力部のいずれか一方がアクティブでないとき、他方の前記入出力部が前記コマンドに対しレスポンスを送出する、請求項1記載の複合入出力装置。

【請求項7】

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記共通のアドレス

10

20

30

40

50

を含む共通の認識情報を記憶するためのレジスタ；及び、

(B) 前記レジスタの更新時、その更新内容を他の前記入出力部へ通知するためのレジスタ更新通知部；

を含む、請求項1記載の複合入出力装置。

【請求項8】

前記第一の入出力部と前記第二の入出力部とのそれぞれが、(A) 前記共通のアドレスを含む共通の認識情報を記憶するためのレジスタ；及び、

(B) 他の前記入出力部の前記レスポンスを監視し、そのレスポンスに基づき、前記他の入出力部での前記レジスタの内容を推定するためのレジスタ推定部；

を含む、請求項1記載の複合入出力装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部の情報処理機器との間でデータ通信を行うための入出力装置に関し、特に、その情報処理機器との間のバスを共用する二以上の入出力装置の複合に関する。

【0002】

【従来の技術】

情報技術の飛躍的進歩及び爆発的普及により、多種多様な情報処理機器が相互に接続され、様々なデータを交換できる。それらのデータ通信を担う入出力装置（インタフェース）には、下位互換性を含め、多種多様な情報処理機器についての汎用性が要求される。その上、情報処理機器全体に対する小型軽量化の要請に伴い、入出力装置自体に対しても小型軽量化が求められる。

20

【0003】

従来の入出力装置の中では特に、カード型のものが近年多用される。このカード型入出力装置は、特定のインタフェース内蔵の数cm角の小カードである。カード型入出力装置は情報処理機器（ホスト）に設けられた専用スロットに差し込まれ、ホストとデータを交換する。そのスロットを様々な情報処理機器へ組み込むことで、上記のカード型入出力装置は多種多様な情報処理機器に対する汎用性を獲得する。

【0004】

上記のカード型入出力装置の種類にはメモリカードとI/Oカードとがある。メモリカードは、例えばフラッシュメモリ等の半導体メモリを内部に含むカード型記録媒体である。複数のホストが同じメモリカードを共用し、相互のデータ交換を実現する。

30

図8は、従来のメモリカード100とホストHとの間でのデータ交換を示すブロック図である。

このメモリカード100は、少なくとも一本のデータ線DAT、クロック線CLK、電源線VDD、グラウンド線VSS、及びコマンド線CMDを含むバス108で、ホストHと接続される。

メモリカード100はホストHから、電源線VDDとグラウンド線VSSとを通し、電力を供給される。

【0005】

40

入出力部（ホストインタフェースともいう）101は、コマンド線CMDを通しホストHからコマンドを受信し解釈する。その解釈されたコマンドの内容に応じ、レスポンスをホストHへ、コマンド線CMDを通し返信する。

コマンドがフラッシュメモリに対する読み出し命令であるとき、入出力部101はメモリ部102に対し、その内部のフラッシュメモリからデータを読み出すように指示する。読み出されたデータはデータ線DATを通し、ホストHへ転送される。そのとき、入出力部101はデータ転送を同期通信で行う。すなわち、クロック線CLKを通しホストHから転送されたクロックと同期し、データを転送する。そのとき、データは、データ線DATのいずれかを通しシリアルに、又は全データ線DATを通しパラレルに転送される。

【0006】

50

コマンドがフラッシュメモリに対する書き込み命令であるとき、入出力部101はデータ線DATを通し、その書き込み対象データを受信する。そのとき、上記の読み出し時と同様、データ転送はクロック線CLKからのクロックと同期し、シリアルに又はパラレルに転送される。入出力部101により受信された書き込み対象データはメモリ部102へ転送される。メモリ部102はそのデータを内部のフラッシュメモリへ記憶する。

【0007】

I/Oカードは、ホストと、そのホストとは別の情報処理機器又はネットワークとの間を接続する。例えば、I/Oカードはホストを携帯電話又は内部の無線通信部へ接続する。それにより、ホストは、携帯電話回線網又は無線LANを通し、他の情報処理機器との間でデータ交換を実現する。その他に、I/Oカードはホストをデジタルカメラへ接続する。それにより、ホストはデジタルカメラにより撮像された画像データを取り込み、記録し又は編集できる。

10

一枚のI/Oカードを通し、無線通信部、携帯電話、又はデジタルカメラ等の様々な機能部へ接続されることで、ホストは多種多様な機能を獲得できる。

【0008】

図9は、従来のI/Oカード200とホストHとの間でのデータ交換を示すブロック図である。

I/Oカード200は、上記のメモリカード100と同様なバス103でホストHと接続される。すなわち、バス103は、データ線DAT、クロック線CLK、電源線VDD、グラウンド線VSS、及びコマンド線CMDを含む。

20

I/Oカード200はメモリカード100と同様、電源線VDDとグラウンド線VSSを通し、ホストHから電力を供給される。

【0009】

I/Oカード200は機能部として、例えば無線通信部202Aと撮像部202Bとを含む。無線通信部202Aは、例えば外部の無線LANに接続し、データを交換する。撮像部202Bは、例えば電荷結合素子(CCD)等の撮像素子を含み、外部から取り入れた光学像を画像信号へ変換する。

【0010】

入出力部201は、コマンド線CMDを通し、ホストHからコマンドを受信し解釈する。その解釈されたコマンドの内容に応じ、レスポンスをホストHへ、コマンド線CMDを通して返信する。

30

コマンドが、無線通信部202A又は撮像部202Bに対するデータ転送命令であるとき、入出力部201はそれぞれのモジュールからデータを読み出す。読み出されたデータはデータ線DATを通し、ホストHへ転送される。そのとき、入出力部201によるデータ転送は、クロック線CLKを通しホストHから転送されたクロックに従い同期通信で行われる。データは、データ線DATのいずれかを通してシリアルに、又は全データ線DATを通してパラレルに転送される。

【0011】

コマンドが無線通信部202Aに対するデータ送信命令であるとき、入出力部201はデータ線DATを通し、送信対象データをホストHから受信する。そのとき、上記の読み出し時と同様、データ転送はクロック線CLKからのクロックと同期し、シリアルに又はパラレルに転送される。入出力部201により受信されたデータは無線通信部202Aへ転送され、更に外部へ無線で送信される。

40

【0012】

ホストは、例えば上記のカード型入出力装置用スロットを複数有するとき、それぞれのスロットへ挿入されたカード型入出力装置と一対一に接続し認識する。すなわち、バスのような物理的な接続の特定により、それぞれのカード型入出力装置を物理的に特定する。更に、そのような物理的な特定を通し、それぞれのカード型入出力装置に対し、異なるカードアドレスを割り当てる。その割り当て後は、ホストは、通信目標のカード型入出力装置、及びそれとの接続用のバスを、カードアドレスにより論理的に特定できる。

50

【0013】

ホストによる従来のカード型入出力装置に対する認識は、具体的には次のように実行される。

ホストは従来のカード型入出力装置を、その初期設定を通し認識する。カード型入出力装置の初期設定は、ホストからの電源投入又はリセット命令の発行により開始される。初期設定時、カード型入出力装置の入出力部は数種類の状態に遷移する。

【0014】

ここで、入出力部が特定のコマンドに応じ所定の動作を行うか否かで、その入出力部の状態は区別される。特に、入出力部により受理され得るコマンドは状態ごとに異なる。

入出力部は、その状態で受理し得るコマンドを正常に受信したとき、コマンド受信成功を示すレスポンス（ACK）をホストHへ返信する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容を機能部へ中継する。

入出力部は、コマンドの受信に失敗したとき、又はその状態では受理できないコマンドを正常に受信したとき、コマンド受信失敗を示すレスポンス（NAK）をホストHへ返信する。その他に、入出力部はそのとき、何のレスポンスも送出しなくても良い。ホストはレスポンスの待ち時間を制限し、その待ち時間内にレスポンスを受信しないときは、入出力部によるコマンド受信の失敗、又は入出力部への無効コマンドの発行と判断する。

【0015】

入出力部の状態はコマンドに応じ一般に遷移する。入出力部の状態には、メモ리카ード100とI/Oカード200とで共通するもの及び異なるものがある。それと符合し、ホストHのコマンドには、両カードで共通するものと異なるものがある。

メモ리카ード100とI/Oカード200とは、ホストHとの間のバス103等の物理的な接続部で共通する（図8、9参照）。その構造上の共通性から容易に類推されるとあり、ホストHは両カードに対し、実質上共通の初期設定を行う。

【0016】

図8は、メモ리카ード100又はI/Oカード200等、従来のカード型入出力装置の入出力部での初期設定時の状態遷移を示す図である。

初期設定時、入出力部は以下のように状態を遷移させる。

入出力部は、ホストHから電源を投入される（ステップS0）、又はホストHからリセット命令を受信するとき（ステップC0）、アイドル状態ST1へ遷移する。アイドル状態ST1の入出力部は、初期化命令を含む所定のコマンド群に対してのみレスポンスを送出し、他のコマンドに対してはレスポンスを送出しない。

【0017】

入出力部は、ホストHから初期化命令を受信するとき（ステップC1）、接続された機能部へ初期化を指示すると共に、自分自身を初期化する（ステップS1）。

ここで、ホストHは所定のコマンドにより、入出力部をアイドル状態ST1からインアクティブ状態ST5へ遷移させても良い。インアクティブ状態ST5の入出力部はホストHからの全てのコマンドに対しレスポンスを送出しない。

【0018】

初期化完了時、入出力部はスタンバイ状態ST2へ遷移する。スタンバイ状態ST2の入出力部は、ホストHからカードアドレス送出命令を受信する（ステップC2）ごとにカードアドレスを更新し、ホストHへ返信する。

ここで、カードアドレスは、例えば入出力部内のレジスタに保持される。入出力部はカードアドレスを、例えば一定のステップずつインクリメントし、又は所定の範囲内でランダムに更新する。

ホストHは、返信されたカードアドレスを、他のカード型入出力装置（もし接続されていれば）に対し既に登録されたカードアドレスと比較する。それらのカードアドレスの間に重複がないとき、ホストHは、返信されたカードアドレスをその入出力部のものとして設定し、登録する。

カードアドレスの設定により、一つのカードに対する初期設定が終了する。

10

20

30

40

50

【0019】

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ここで、カード選択命令は宛先アドレスとして、登録済のカードアドレスを含む。初期設定を終えたスタンバイ状態ST2の入出力部は、カード選択命令の受信時（ステップC3）、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、入出力部はデータ転送可能状態ST3へ遷移する。データ転送可能状態ST3の入出力部では、ホストHの読み出し命令又は書き込み命令（以下、R/W命令と略す）の受信が可能である。その入出力部は、R/W命令の受信（ステップC4）により、ホストHとの間でデータ転送を開始する。

【0020】

図10は従来のカード型入出力装置に対する初期設定のフローチャートである。図10の（a）はホストHについてのフローチャートであり、（b）はカード型入出力装置の入出力部についてのフローチャートである。

ホストHは入出力部へ電源を投入し（ステップS0）、又はリセット命令を発行し（ステップC0）、初期設定を開始する。

電源投入時、又はリセット命令の受信時、入出力部はリセットされ、アイドル状態ST1へ遷移する。

【0021】

ホストHは入出力部へ初期化命令を発行し、その入出力部、及びそれに接続された機能部の初期化を指示する（ステップS1）。その初期化命令の受信時（ステップC1）、入出力部は初期化を開始する（ステップS1）。初期化処理の間、入出力部はビジーフラグをオンする。

入出力部による初期化処理の間、ホストHはポーリングにより、入出力部のビジーフラグを監視する（ステップS2）。そのビジーフラグがオンである間、ホストHは新たなコマンドを発行しない。

入出力部は初期化完了時、ビジーフラグをオフする（ステップS3）。それにより、入出力部はスタンバイ状態ST2へ遷移する。

【0022】

スタンバイ状態ST2の入出力部は、ホストHからのカードアドレス送出命令、又はカード選択命令を待つ（ステップS4）。ここで、カードアドレス送出命令とカード選択命令とは、メモリカード100とI/Oカード200とで共通のコマンドである。それらのコマンド以外のコマンドが受信されるとき、又はコマンドの受信に失敗したとき、入出力部はホストHへNAKを送出する（ステップS5）。

【0023】

ホストHはスタンバイ状態ST2の入出力部へ、カードアドレス送出命令を発行する（ステップS6）。

カードアドレス送出命令を正常に受信したとき、入出力部はカードアドレスを更新する（ステップS7）。更に、更新されたカードアドレスを、カードアドレス送出命令に対するACK内のデータとしてホストHへ送出的（ステップS8）。その送出後、入出力部はホストHからのコマンドを待つ（ステップS4）。

【0024】

ホストHは、カードアドレス送出命令に対するレスポンスとして、カードアドレスを受信する。そのカードアドレスを、他のカード型入出力装置に対し既に設定され、登録されたカードアドレスと比較する（ステップS9）。

それらのカードアドレスの間で重複があるとき、ホストHは処理をステップS6へ戻し、カードアドレス送出命令を再び発行する。それにより、入出力部は上記のステップS4、S7、及びS8を順に繰り返す、新たなカードアドレスをホストHへ返信する。

【0025】

入出力部により送出されたカードアドレスとホストHへ登録済のカードアドレスとの間で重複がなくなるまで、ホストHはカードアドレス送出命令を繰り返して発行し続ける。それ

10

20

30

40

50

らのカードアドレスの間に重複がなくなったとき、ホストHは、入出力部から送出されたカードアドレスをそのカード型入出力装置のものとして設定し、登録する（ステップS10）。こうして、カード型入出力装置に対しカードアドレスがユニークに設定され、初期設定が終了する。

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ステップS4でそのカード選択命令の受信が識別されると、入出力部はデータ転送可能状態ST3へ遷移する。

【0026】

【発明が解決しようとする課題】

メモ리카ード100とI/Oカード200とは、ホストHとの間のバス103等の接続部で共通する。従って、それらの共通部分について単一の装置を共用できれば、メモ리카ード100とI/Oカード200との両方の機能を一枚のカード内に収め得る。そのように両機能を複合したカード型入出力装置（以下、複合I/Oカードという）が実現されれば、ホストは従来のスロットをそのまま利用し、メモ리카ードとI/Oカードとの両機能を同時に利用できる。

【0027】

図11は、複合I/Oカード300の内部構成の一例を示すブロック図である。この複合I/Oカード300はメモリユニット301とI/Oユニット302とを有する。メモリユニット301は、従来のメモ리카ード100と同様な構成を含み、そのカードに対するコマンドと同じコマンドで制御される。I/Oユニット302は、従来のI/Oカード200と同様な構成を含み、そのカードに対するコマンドと同じコマンドで制御される。図11では、それらの同様な構成に対し、図8及び図9に示される符号と同じ符号が付される。

【0028】

上記の複合I/Oカード300では、メモリユニット301とI/Oユニット302とが同じコマンド線CMDへ実質上単純に結線される。従って、ホストHからの一つのコマンドが両ユニットの入出力部101と201とにより、実質上同時に受信される。それぞれの入出力部は互いに独立して同じコマンドを解釈する。

例えば、メモ리카ード100とI/Oカード200との共通コマンドが正常に受信されるとき、二つの入出力部101と201とはそれぞれの状態に応じたレスポンスを返信する

。その他に、例えば、メモ리카ード100専用コマンドが正常に受信されるとき、メモリユニット301の入出力部101はACKを返信し、I/Oユニット302の入出力部201はNAKを返信する。

【0029】

複合I/Oカード300とホストHとの間でのコマンド／レスポンス通信は、クロック線CLK上のクロックと同期して行われる。従って、二つの入出力部が一つのコマンドに対し同時にレスポンスを送出するとき、それらのレスポンスは共通のコマンド線CMD上で互いに衝突し、ワイヤードOR（Wired-OR）を通した一つのレスポンスとしてホストHへ通知される。ホストHはその一つのレスポンスから、メモリユニット301とI/Oユニット302とのそれぞれのレスポンスを解釈しなければならなかった。すなわち、ホストHは、複合I/Oカード300のレスポンスに対し、従来とは異なる処理を要した。その結果、従来のスロットが、複合I/Oカード300に対する上位互換性を持ち得なかった。

【0030】

上記の複合I/Oカード300では、メモリユニット301とI/Oユニット302との間でのレスポンスについての競合の他に、次のような問題があった。

複合I/Oカード300は、従来のメモ리카ード100とI/Oカード200と同様なバス103でのみホストHと接続される。一方、ホストHは、従来のカード型入出力装置に対する初期設定を、バス103ごとに行う。従って、ホストHは複合I/Oカード300

10

20

30

40

50

に対しても、メモ리카ード100とI/Oカード200と同様な一枚のカード型入出力装置としての認識を試みる。

【0031】

ホストHが複合I/Oカード300に対し従来と同様な初期設定を行うとき、メモリユニット301とI/Oユニット302との間でレスポンスについての競合が上記のように生じる。その競合を回避するには、例えば、いずれかの一方のユニットの入出力部を停止させれば良い。

ここで、I/Oユニット302を停止させるときを想定する。そのとき、ホストHはメモリユニット301に対し、従来と同様な初期設定を行う。その結果、メモリユニット301はホストHにより認識される。特に、メモリユニット301が、バス103によりホストHへ接続されたカード型入出力装置として、カードアドレスを設定される。従って、I/Oユニット302がホストHからのアクセスを識別するには、メモリユニット301に対し設定されたカードアドレス等の認識情報を、自身のレジスタに保持しなければならない。

しかし、従来のカード型入出力装置は、他のカード型入出力装置とカードアドレス等の認識情報を共有するための手段を持たなかった。従って、従来の機能では両ユニットが認識情報を共有できなかった。

【0032】

本発明は、ホストとの間のバスを共用する二以上の入出力装置の複合であり、それぞれの装置の単体と同様な一つの装置としてホストにより良好に認識される入出力装置、の提供を目的とする。

【0033】

【課題を解決するための手段】

本発明による複合入出力装置は、

(A) ホストからのコマンドの内、第一のコマンド群に属するものを、第一の機能部へ中継するための第一の入出力部；

(B) ホストからのコマンドの内、第二のコマンド群に属するものを、第二の機能部へ中継するための第二の入出力部；及び、

(C) 第一の入出力部と第二の入出力部とをそれぞれホストへ接続し、それらの入出力部により共用されるバス；

を有する。その複合入出力装置では、

(D) 第一の入出力部と第二の入出力部とがホストにより共通のアドレスでアクセスされ；

(E) 第一の入出力部が、第二の入出力部の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制し；

(F) 第二の入出力部が、第一の入出力部の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制する。

【0034】

ここで、入出力部が特定のコマンドに対し所定の動作を行い又は行わないことで、入出力部の状態は区別される。特に、入出力部により受理され得るコマンドは状態ごとに異なる。

入出力部は、その状態で受理し得るコマンドを正常に受信したとき、ACKをホストへ返信する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容を機能部へ中継する。

入出力部は、コマンドの受信に失敗したとき、又はその状態では受理できないコマンドを受信したとき、NAKをホストへ返信する。

このように、入出力部は一つのコマンドに対しレスポンスを、その状態に応じ決定する。

【0035】

上記の複合入出力装置のように二つの入出力部を含む複合入出力装置では、それぞれの入出力部の状態が一般に異なるので、一つのコマンドに対しそれぞれの入出力部で決定され

10

20

30

40

50

るレスポンスが一般に異なる。

上記の複合入出力装置では、入出力部のそれぞれが更に、他の入出力部の状態に応じ、レスポンスを送出し、又は抑制する。それにより、二つの入出力部が異なるレスポンスを同時に送出することが回避され、それらのレスポンス同士がバス上で衝突しない。こうして、上記の複合入出力装置は、第一の入出力部又は第二の入出力部のいずれか一方だけを含む入出力装置の単体と同様な一つの入出力装置として、ホストにより良好に認識される。

【0036】

上記の複合入出力装置では第一の入出力部と第二の入出力部とのそれぞれが、(A) ホストからのコマンドを解釈し、そのコマンドに対するレスポンスをホストへ送出するためのコマンド解釈部；

(B) 自己の属する入出力部の状態を他の入出力部へ通知するための状態通知部；及び

(C) 他の入出力部の状態通知部から入力された他の入出力部の状態に応じ、自己の属する入出力部のコマンド解釈部よりレスポンスを抑制するためのレスポンス抑制部；

を有しても良い。それにより、二つの入出力部が相互の状態を直接監視し、正確に把握できる。その結果、それぞれの入出力部が自己のレスポンスを返信すべきか、又は抑制すべきかを、適切に判断できる。

【0037】

上記の他に、第一の入出力部と第二の入出力部とのそれぞれが、

(A) 上記のコマンド解釈部；

(B) コマンドの履歴を記憶し、その履歴に基づき他の入出力部の状態を推測するための状態推測部；及び、

(C) 状態推測部により推測された他の入出力部の状態に応じ、自己のコマンド解釈部によるレスポンスを抑制するためのレスポンス抑制部；

を有しても良い。ここで、入出力部の状態はコマンドに従い一般に遷移する。更に、例えば電源投入等によりリセットされた時の状態は、通常単一である。従って、リセット以降の状態は、コマンドの履歴から容易に推測される。

二つの入出力部は相互の状態を推測し、正確に把握できる。その結果、それぞれの入出力部が、自己のレスポンスを返信すべきか、又は抑制すべきかを、適切に判断できる。

【0038】

上記の複合入出力装置では、

(A) 第一のコマンド群に属するコマンドに対し、第一の入出力部がレスポンスを送出し、第二の入出力部がレスポンスを抑制し；

(B) 第二のコマンド群に属するコマンドに対し、第一の入出力部がレスポンスを抑制し、第二の入出力部がレスポンスを送出ししても良い。それにより、レスポンス同士の衝突が回避され、コマンドに対し適切なレスポンスがホストへ返信される。

【0039】

上記の複合入出力装置では更に、第一のコマンド群と第二のコマンド群との間の共通コマンドに対し、第一の入出力部がレスポンスを送出し、第二の入出力部がレスポンスを抑制しても良い。

二つの入出力部の状態は一般に異なるので、同じコマンドに対しそれぞれのレスポンスは一般に異なる。しかし、二つの入出力部が、例えば同時にリセットされるとき等では、同時に共通の状態であり得る。そのとき、共通コマンドに対しては、いずれの入出力部のレスポンスが採用されても良い。

そのような状況で、上記の複合入出力装置は、共通コマンドに対し応答する入出力部を一方に固定する。それにより、共通コマンドに対するレスポンスの選択処理を省略し、共通コマンドに対する応答時間を短縮できる。

【0040】

上記の複合入出力装置では、入出力部のいずれか一方がアクティブでないとき、他方の入出力部がコマンドに対しレスポンスを送出ししても良い。

10

20

30

40

50

ここで、「入出力部がアクティブでない」とは、入出力部が実質上全てのコマンドに対し、NACKを含めどのようなレスポンスも送出不い状態であることをいう。例えば、入出力部が停止しているとき、その入出力部はアクティブではない。

一方の入出力部がアクティブでないとき、その入出力部はレスポンスを送出不い。しかし、他方の入出力部が代わりにレスポンスを送出する。こうして、上記の複合入出力装置は、ホストとの間でのコマンド／レスポンス通信を良好に維持できる。

【0041】

上記の複合入出力装置では、ホストは、第一の機能部と第二の機能部とのいずれか一方だけを使用するとき、他方の機能部に接続された入出力部をアクティブでない状態へ遷移させても良い。そのとき、ホストはその入出力部に対し、接続された機能部への電力供給を停止するように指示できる。更に、その入出力部自体を停止させても良い。それにより、非使用部分での電力消費を低減できる。

【0042】

上記の複合入出力装置では第一の入出力部と第二の入出力部とのそれぞれが、(A) 共通のアドレスを含む共通の認識情報を記憶するためのレジスタ；及び、(B) レジスタの更新時、その更新内容を他の入出力部へ通知するためのレジスタ更新通知部；

を含んでも良い。又は、レジスタ更新通知部の他に、

(C) 他入出力部のレスポンスを監視し、そのレスポンスに基づき、他の入出力部のレジスタの内容を推定するためのレジスタ推定部；

を含んでも良い。

それにより、ホストはいずれか一方の入出力部のレジスタを更新するだけで、他方の入出力部のレジスタを実質的に更新できる。更に、二つの入出力部は共通の認識情報を矛盾なく共有できる。例えば、ホストがいずれか一方の入出力部に対してのみ初期設定を行い、アドレスを設定するとき、他方の入出力部が同じアドレスを共有できる。従って、その他方の入出力部がホストからのアクセスを識別できる。こうして、ホストは、複合入出力装置内のそれぞれのユニットへのアクセスを良好に維持できる。

【0043】

【発明の実施の形態】

以下、本発明の最適な実施の形態について、その好ましい実施例を挙げて、図面を参照しつつ説明する。

【0044】

《実施例1》

図1は、本発明の実施例1による複合I/Oカード10Aについて、ホストHとの間のデータ交換を示すブロック図である。

この複合I/Oカード10Aはメモリユニット1AとI/Oユニット2Aとを有し、バス3でホストHと接続される。ここで、バス3は、少なくとも一本のデータ線DAT、クロック線CLK、電源線VDD、グラウンド線VSS、及びコマンド線CMDを含む。図1では複合I/Oカード10Aのみが示されるが、ホストHへはその他の同様なカード型入出力装置が、バス3と同様な物理的接続部で同時に接続されても良い。

複合I/Oカード10AはホストHから、電源線VDDとグラウンド線VSSとを通し、電力を供給される。

【0045】

メモリユニット1Aはメモリ部12を有する。メモリ部12は内部にフラッシュメモリを含み、それに対するデータの入出力を制御する。メモリユニット1Aはメモリ部12により、ホストHからのデータをフラッシュメモリへ記憶し、又は、そのフラッシュメモリのデータをホストHへ提供する。

【0046】

I/Oユニット2Aは内部の様々な機能部、又は外部の様々な情報処理機器へホストHと接続するためのインタフェースとして機能する。例えば、I/Oユニット2Aは無線通信部22Aと撮像部22Bとを含む。無線通信部22Aは、例えば外部の無線LANへホス

10

20

30

40

50

トHを接続し、無線LANとホストHとの間の無線によるデータ交換を実現する。撮像部22Bは例えばCCD等の撮像素子を含み、外部から取り入れた光学像を画像信号へ変換し、ホストHへ提供する。その他に、I/Oユニット2Aは、例えば外部の携帯電話へ接続され、ホストHによる携帯電話網へのアクセスを可能にしても良い。更に、例えば外部のデジタルカメラへ接続され、その画像データをホストHへ提供しても良い。

【0047】

メモリユニット1AとI/Oユニット2Aとはそれぞれ、同様な構成の入出力部11Aと21Aとを含む。それぞれの入出力部は、共通のデータ線DAT、共通のクロック線CLK、及び共通のコマンド線CMDへ結線され、それらを通しホストHとの間でデータを交換する。

そのデータ交換は同期通信で実行される。すなわち、クロック線CLKを通しホストHから転送されたクロックと同期し、データが送受信される。そのとき、データは、データ線DATのいずれかを通しシリアルに、又は全データ線DATを通しパラレルに転送される。

【0048】

データ通信は更に、コマンド線CMDを通したコマンド/レスポンス方式により制御される。ここで、コマンド及びレスポンスは、上記のクロックに同期して交換される。

メモリユニット1A用の読み出し命令又は書き込み命令（以下、R/W命令と略す）は、従来のメモ리카ード用のものと同じである。一方、I/Oユニット2A用のR/W命令は、従来のI/Oカード用のものと同じである。

【0049】

メモリユニット1AとI/Oユニット2Aとのそれぞれの入出力部11Aと21Aとは、データ線DAT、クロック線CLK、及びコマンド線CMDを共用する。そのとき、ホストHから送出されたデータとコマンドとは、両方の入出力部へ実質上同時に到達する。

一方、ホストHからの共通のコマンドに対しそれぞれの入出力部が同時にレスポンスを返すとき、それらのレスポンスは共通のコマンド線CMDを通る。それにより、両方のレスポンスはワイヤードORを通し、ホストHへ伝送される。実施例1による複合I/Oカード10Aでは、それぞれの入出力部のレスポンスが異なるとき、以下の構成によりレスポンスの一方が抑制される。その結果、レスポンスの衝突が回避され、適切なレスポンスがホストHへ送出される。

【0050】

メモリユニット1Aの入出力部11Aは、コマンド解読部13、レジスタ14、状態通知部15A、レスポンス抑制部16A、及びレジスタ更新通知部17Aを含む。同様に、I/Oユニット2Aの入出力部21Aは、コマンド解読部23、レジスタ24、状態通知部25A、レスポンス抑制部26A、及びレジスタ更新通知部27Aを含む。それぞれの構成について、両方の入出力部は共通する。

以下、メモリユニット1Aの入出力部11Aについて構成の詳細を説明する。それらの説明は、I/Oユニット2Aの入出力部21Aについても同様である。

【0051】

コマンド解読部13は、コマンド線CMDを通しホストHからコマンドを受信し解読する。更に、その解読されたコマンドの内容と入出力部11Aの状態とに応じレスポンスを決定する。

コマンド解読部13はコマンドに対するレスポンスを、例えば次のように決定する。

ホストHからのコマンドには、メモリユニット1A用のもの、I/Oユニット2A用のもの、及び両ユニットで共通のものがある。受信されたコマンドがいずれのユニット用のものであるのかを、コマンド解読部13はまず判断する。

そのコマンドがいずれのユニット用であるのかを識別できないとき、コマンド解読部13はNAKをレスポンスとして決定する。

そのコマンドがI/Oユニット2A用であるとき、コマンド解読部13は受信エラーの有

10

20

30

40

50

無に関わらず、NAKをレスポンスとして決定する。

【0052】

そのコマンドがメモリユニット1A用であるとき、そのコマンドがその受信時での入出力部11Aの状態では受理され得るものであるかを、コマンド解読部13は更に判断する。

そのコマンドがその受信時での入出力部11Aの状態では受理できないものであるとき、コマンド解読部13は受信エラーの有無に関わらず、NAKをレスポンスとして決定する。

そのコマンドが受理され得るものであり、かつそのコマンドが正常に受信されたとき、コマンド解読部13はACKをレスポンスとして決定する。更に、そのコマンドに従い所定の処理を実行し、又はそのコマンドの内容をメモリ部12へ中継する。

そのコマンドが受理され得るものであり、かつそのコマンドが正常に受信されなかったとき、コマンド解読部13はNAKをレスポンスとして決定する。

【0053】

レジスタ14は一般に複数のメモリ領域を含む。それぞれのメモリ領域は所定のデータを保持し、特定のコマンドでのみアクセスされる。

レジスタ14は例えば、カードアドレスを保持する。ここで、カードアドレスは例えば、ホストHからカード型入出力装置へのR/W命令に含まれる。入出力部11AはR/W命令の受信時、その宛先アドレスとレジスタ14により保持されたカードアドレスとを比較し、そのR/W命令が自分宛であるかを判断する。

複合I/Oカード10Aでは、メモリユニット1AとI/Oユニット2Aとのいずれか一方とホストHとの間でカードアドレスの設定が行われるとき、後述のように他方のカードアドレスも同様に更新される。それにより、両ユニットは共通のカードアドレスを保持する。

【0054】

入出力部11Aの状態はコマンドに依り一般に遷移する。状態通知部15Aは、コマンド解読部13により解読されたコマンドに基づき入出力部11Aでの状態遷移を検知し、I/Oユニット2Aの入出力部21Aへ通知する。

【0055】

レスポンス抑制部16Aは、コマンド解読部13により受信されるコマンドを監視する。更に、そのコマンドの内容、メモリユニット1Aの入出力部11Aの状態、及び、I/Oユニット2Aの入出力部21Aの状態通知部25Aから通知された状態に基づき、コマンド解読部13によるレスポンスの送出の是非を判断する（以下、その判断のことをレスポンス送出判断という）。その結果、I/Oユニット2AのレスポンスをホストHへ送出すべきと判断するとき、コマンド解読部13のレスポンスを抑制する。

コマンド解読部13により決定されたレスポンスは、レスポンス抑制部16Aによる抑制を受けないときのみ、コマンド線CMDを通しホストHへ返信される。

【0056】

レジスタ更新通知部17Aは、自己の属する入出力部11A内のレジスタ14を監視する。レジスタ14のいずれかで内容が更新されるとき、レジスタ更新通知部17Aはその更新内容を、I/Oユニット2Aの入出力部21Aのレジスタ24へ通知する。それにより、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとは、それぞれのレジスタ14と24とが共通の内容を保持する。

【0057】

図2は、レスポンス抑制部16Aによるレスポンス送出判断のフローチャートである。

コマンド解読部13が一つのコマンドCを受信し、解読する。

コマンド解読部13によるコマンドCの解読結果に基づき、コマンドCがいずれの入出力部用のものであるかを、レスポンス抑制部16Aは識別する（ステップD1）。

コマンドCが自己の属するメモリユニット1A用のものであるとき、レスポンス抑制部16Aはコマンド解読部13によるレスポンスの送出を認める（ステップR1）。

10

20

30

40

50

【0058】

コマンドCがI/Oユニット2A用のものであるとき、又はいずれの入出力部のものであるか識別できないとき、レスポンス抑制部16Aの判断はステップD2へ分岐する。ステップD2では、I/Oユニット2Aの入出力部21Aがアクティブであるか否か、すなわち、コマンドCに対しレスポンスを送出し得るか否かを、レスポンス抑制部16Aは、I/Oユニット2Aの状態通知部25Aから通知された状態に基づき判断する。

I/Oユニット2Aの入出力部21Aがアクティブでないとき、レスポンス抑制部16Aはコマンド解説部18によるレスポンスの送出を認める(ステップR1)。逆にアクティブであるとき、レスポンス抑制部16Aはコマンド解説部18のレスポンスを抑制する(ステップR2)。

10

【0059】

コマンドCが両ユニットの共通コマンドであるとき、レスポンス抑制部16AはI/Oユニット2Aの入出力部21Aの状態を、その状態通知部25Aからの通知に基づきチェックする(ステップD3)。それにより、両ユニットの入出力部の状態を比較し、いずれの入出力部のレスポンスを優先させるか、判断する。

その結果、メモリユニット1Aの入出力部11Aのレスポンスを優先すべきと判断するとき、コマンド解説部18によるレスポンスの送出を認める(ステップR1)。逆に、I/Oユニット2Aの入出力部21Aのレスポンスを優先すべきと判断するとき、コマンド解説部18によるレスポンスを抑制する(ステップR2)。

【0060】

両ユニットの入出力部の状態が実質的に同等で、共通コマンドに対しいずれの入出力部のレスポンスを送出しても良いとき、レスポンス抑制部16Aは更に、共通コマンドに対するレスポンスの送出についての優先権の有無をチェックする(ステップD4)。

ここで、その優先権を持つ入出力部とは、共通コマンドに対しレスポンスを優先的に送出するように予め設定された入出力部を意味する。優先権は、例えば複合I/Oカード10Aの製造時に、二つのユニットのいずれが一方の入出力部のみに対し設定される。

メモリユニット1Aの入出力部11Aが上記の優先権を持つとき、レスポンス抑制部16Aはコマンド解説部18によるレスポンスの送出を認める(ステップR1)。逆に優先権を持たないとき、コマンド解説部18によるレスポンスを抑制する(ステップR2)。

20

【0061】

メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとは、ホストHとの間の物理的な接続部、特にバス8を共有する(図1参照)。従って、ホストHは複合I/Oカード10Aを、従来と同様な一つのカード型入出力装置としてアクセスする。それにより、ホストHのコマンドは、複合I/Oカード10A内の各ユニットへ個別には送出されず、両ユニットの入出力部により同時に受信される。その結果、両ユニットの入出力部間で、レスポンスの送出についての競合が一般に生じる。複合I/Oカード10Aでは、以下のように、両入出力部が相互に状態を通知し合い、それぞれの状態に応じ、レスポンスの送出について調停を行う。それにより、上記の競合が解消され、ホストHへは適切な一つのレスポンスが送出される。それ故、ホストHは複合I/Oカード10Aを従来のカード型入出力装置と同様に良好に認識でき、それぞれのユニットへのアクセスを良好に維持できる。

30

【0062】

以下、ホストHによる複合I/Oカード10A内の各ユニットに対する初期設定を例に挙げ、通知された入出力部の状態に応じた、レスポンスの送出についての調停動作を具体的に説明する。

図3は、複合I/Oカード10Aについて、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとのそれぞれの初期設定時の状態遷移を示す図である。初期設定時、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとはそれぞれ、状態遷移について、従来のカード型入出力装置の入出力部と共通する。

40

【0063】

50

入出力部は、ホストHから電源を投入されるとき（ステップS0）、又はホストHからリセット命令を受信するとき（ステップC0）、アイドル状態ST1へ遷移する。アイドル状態ST1の入出力部は、初期化命令を含む所定のコマンド群に対してのみレスポンスを送出し、他のコマンドに対してはレスポンスを送出しない。

【0064】

入出力部は、ホストHから初期化命令を受信するとき（ステップC1）、接続された機能部へ初期化を指示すると共に、自分自身を初期化する（ステップS1）。

ここで、ホストHは所定のコマンドにより、入出力部をアイドル状態ST1からインアクティブ状態ST5へ遷移させても良い。インアクティブ状態ST5の入出力部はホストHからの全てのコマンドに対しレスポンスを送出しない。

【0065】

初期化完了時、入出力部はスタンバイ状態ST2へ遷移する。スタンバイ状態ST2の入出力部は、ホストHからカードアドレス送出命令を受信する（ステップC2）ごとにカードアドレスを更新し、ホストHへ返信する。

ここで、入出力部はカードアドレスを、例えば一定のステップずつインクリメントして更新し、又は所定の範囲内でランダムに更新する。

ホストHは、返信されたカードアドレスを登録済のものと比較し、それらに重複がないとき、そのカードアドレスをその入出力部のものとして設定し、登録する。

カードアドレスの設定により、一つのカードに対する初期設定が終了する。

【0066】

ホストHは、初期設定を終えたカード型入出力装置の中からデータ転送対象を一つ選択し、カード選択命令を発行する。ここで、カード選択命令は宛先アドレスとして、登録済のカードアドレスを含む。初期設定を終えたスタンバイ状態ST2の入出力部は、カード選択命令の受信時（ステップC3）、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、入出力部はデータ転送可能状態ST3へ遷移する。

データ転送可能状態ST3の入出力部では、ホストHからのR/W命令の受信が可能である。その入出力部は、R/W命令の受信（ステップC4）により、ホストHとの間でデータ転送を開始する。

【0067】

図4と図5とは複合I/Oカード10Aの初期設定のフローチャートである。それぞれの図の（a）はホストHについてのフローチャートであり、（b）は複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【0068】

図4は、初期設定開始からメモリユニット1AとI/Oユニット2Aとの初期化完了までのフローチャートである。

図4の（a）に示されるように、ホストHは複合I/Oカード10Aへ電源を投入し（ステップS0）、又はリセット命令を発行し（ステップC0A又はC0B）、初期設定を開始する。

ここで、ホストHによる電源投入は、ホストH自体のパワーオンリセットによるものでも、ホストHのスロットへの複合I/Oカード10Aの活線挿入によるものでも良い。

【0069】

電源投入時、複合I/Oカード10A内の二つの入出力部11Aと21Aとの両方がリセットされる。

一方、リセット命令はメモリカードとI/Oカードとで異なるので、メモリカード用リセット命令の発行時（ステップC0A）ではメモリユニット1Aだけがリセットされ、I/Oカード用リセット命令の発行時（ステップC0B）ではI/Oユニット2Aだけがリセットされる。ホストHは、メモリユニット1AとI/Oユニット2Aとのいずれか一方のみをリセットするときは、目標のユニットに対応するリセット命令のみを発行する。そのとき、リセット命令を受けないユニットは元の状態を維持する。

【0070】

10

20

30

40

50

電源投入時のリセットでは（ステップS0）、例えば、I/Oユニット2Aがまずリセットされる。一方、リセット命令時のリセットでは、ホストHは、例えば、I/Oユニット2A用のリセット命令をまず発行する（ステップC0A）。すなわち、ホストHがI/Oユニット2Aのリセットをスキップしない限り、初期設定ではI/Oユニット2Aが先にリセットされる。

リセットにより、I/Oユニット2Aの入出力部21Aは、図4の（b）に示されるように、アイドル状態ST1へ遷移する。

【0071】

ホストHは、I/Oユニット2Aへ初期化命令を発行し、その初期化を指示する（ステップS1A）。その初期化命令の受信時（ステップC1）、I/Oユニット2Aの入出力部21Aは初期化を開始する（ステップS1）。その初期化は、I/Oユニット2A内の無線通信部22A、撮像部22B、及びその他の機能部、並びに、I/Oユニット2Aへ接続された外部の情報処理機器の初期化を含む。初期化処理の間、入出力部21Aは更に、レジスタ24内のビジーフラグをオンする。ビジーフラグは例えばレジスタ24内の所定の1ビットデータとして定義される。

【0072】

ここで、ホストHはI/Oユニット2Aに対し初期化命令を発行せず、I/Oユニット2Aの初期化をスキップしても良い。そのとき、I/Oユニット2Aの入出力部21Aはアイドル状態ST1のまま維持される。入出力部21Aは内部の状態通知部25Aにより、アイドル状態ST1に維持されることをメモリユニット1Aの入出力部11Aへ通知する（ステップS4）。アイドル状態ST1の入出力部21Aは、初期化命令の受信（ステップC1）まで、他のコマンドに対しレスポンスを送出しない。

【0073】

ホストHは更に、I/Oユニット2Aの入出力部21Aのアイドル状態ST1を、インアクティブ状態ST5へ遷移させても良い。そのとき、入出力部21Aはインアクティブ状態ST5であることをメモリユニット1Aの入出力部11Aへ通知する（ステップS5）。インアクティブ状態ST5の入出力部21Aはレスポンスを一切送出不し。

【0074】

I/Oユニット2Aの入出力部21Aは、アイドル状態ST1又はインアクティブ状態ST5であるとき、無線通信部22A及び撮像部22B等の機能部への電力供給を停止しても良い。それにより、ホストHがI/Oユニット2A内、又はそれに接続された機能部を使用しないとき、それらの待機時の電力消費を低減できる。

【0075】

I/Oユニット2Aでの初期化処理の間、ホストHはポーリングにより、I/Oユニット2Aのビジーフラグを監視する（ステップS2A）。そのビジーフラグがオンである間、ホストHは新たなコマンドを発行しない。

I/Oユニット2Aの入出力部21Aは初期化完了時、ビジーフラグをオフする（ステップS3）。それにより、入出力部21Aはスタンバイ状態ST2へ遷移する。そのとき、入出力部21Aは状態通知部25Aにより、その状態遷移をメモリユニット1Aの入出力部11Aへ通知する（ステップS11）。

【0076】

電源投入（ステップS0）では、続いてメモリユニット1Aがリセットされる。一方、リセット命令によるリセットでは、ホストHがメモリユニット1A用のリセット命令を発行するとき（ステップC0B）、メモリユニット1Aがリセットされる。

以後、ホストHがメモリユニット1Aへの初期化命令の発行（ステップS1B）をスキップしない限り、上記のI/Oユニット2Aの初期化と同様に、メモリユニット1Aの初期化が実行される。

ここで、リセット又は初期化を通し遷移したメモリユニット1Aの入出力部11Aの状態は、内部の状態通知部15Aにより、I/Oユニット2Aの入出力部21Aへ通知される。こうして、それぞれのユニットの入出力部は相互の状態を把握する。

【0077】

メモリユニット1Aでの初期化処理の間、ホストHはポーリングにより、メモリユニット1Aのビジーフラグを監視する(ステップS2B)。そのビジーフラグがオフされた時、ホストHはカードアドレスの設定処理を開始する。メモリユニット1Aのリセット又は初期化がスキップされたときは、I/Oユニット2Aのビジーフラグがオフされた時、ホストHはカードアドレスの設定処理を開始する。

【0078】

図5は、カードアドレスの設定から初期設定の終了までのフローチャートである。スタンバイ状態ST2の入出力部は、ホストHからのカードアドレス送出命令、又はカード選択命令を待つ(ステップS4)。ここで、カードアドレス送出命令とカード選択命令とは、メモリユニット1AとI/Oユニット2Aとで共通のコマンドである。

【0079】

ホストHはスタンバイ状態ST2の入出力部へ、カードアドレス送出命令を発行する(ステップS6)。そのカードアドレス送出命令は、メモリユニット1Aの入出力部11AとI/Oユニット2Aの入出力部21Aとの両方により、実質上同時に受信される。そのとき、それぞれの入出力部がいずれもアクティブであれば、レスポンスの送出について競合が生じる。

【0080】

複合I/Oカード10Aは上記の競合を次のように解消する。スタンバイ状態ST2にあるメモリユニット1Aの入出力部11A又はI/Oユニット2Aの入出力部21Aでは、カードアドレス送出命令ともカード選択命令とも異なるコマンドの受信時、それぞれのレスポンス抑制部16A又は26Aが、図2のフローチャートに従い、レスポンス送出判断を行う(ステップS12)。それにより、適切なレスポンスが一つ選択され、ホストHへ返信される。一方、スタンバイ状態ST2にある入出力部は、再びホストHからのコマンドを待つ(ステップS4)。コマンドが識別できないときも、同様である。

【0081】

スタンバイ状態ST2にある入出力部がカードアドレス送出命令を受信するとき、そのレスポンス抑制部は、図2のフローチャートに従い、レスポンス送出判断を行う(ステップS13)。

レスポンスの送出を認めるとき(ステップR1)、入出力部はまず、レジスタに保持されたカードアドレスを更新する(ステップS7)。

そのカードアドレスの更新は、その入出力部内のレジスタ更新通知部により、他方の入出力部へ通知される(ステップS14)。それにより、両方の入出力部が共通のカードアドレスを保持する。

入出力部は更に、更新されたカードアドレスを、カードアドレス送出命令に対するレスポンスとして、ホストHへ送出する(ステップS8)。その送出後、入出力部はホストHからのコマンドを待つ(ステップS4)。

【0082】

ホストHは、複合I/Oカード10Aからカードアドレスを、カードアドレス送出命令のレスポンスとして受け取る。そのとき、そのカードアドレスを、他のカード型入出力装置に対し既に設定され、登録されたカードアドレスと比較する(ステップS9)。それらのカードアドレスの間で重複があるときは、ホストHは処理をステップS6へ戻し、カードアドレス送出命令を再び発行する。それにより、複合I/Oカード10A内のそれぞれの入出力部は上記のステップS4、S12、S13、S7、S14、及びS8を繰り返す、新たなカードアドレスをホストHへ返信する。

【0083】

ホストHは、複合I/Oカード10Aにより送出されたカードアドレスと、ホストHへ登録済のカードアドレスとの間で重複がなくなるまで、ステップS6とS9とのループを繰り返す。それらのカードアドレスの間に重複がなくなったとき、ホストHは、複合I/O

カード 10 A から送出されたカードアドレスを複合 I/O カード 10 A のものとして設定し、登録する（ステップ S10）。こうして、複合 I/O カード 10 A のカードアドレスがユニークに設定され、初期設定が終了する。

【0084】

ホスト H は、初期設定を終えた複合 I/O カード 10 A をデータ転送対象として選択するとき、複合 I/O カード 10 A に対しカード選択命令を発行する。ここで、そのカード選択命令は宛先アドレスとして、複合 I/O カード 10 A のカードアドレスを含む。複合 I/O カード 10 A の二つの入出力部 11 A と 21 A との内、初期設定を終え、スタンバイ状態 S T 2 にあるものは、カード選択命令の受信時、その宛先アドレスと自身のカードアドレスとを比較する。両アドレスが一致するとき、その入出力部はデータ転送可能状態 S T 3 へ遷移する。

【0085】

ホスト H は更に、複合 I/O カード 10 A に対し R/W 命令を発行する。ここで、R/W 命令はメモリカード用と I/O カード用とで異なるコマンド ID を持つ。従って、その R/W 命令が所属のユニット用であるか否かを、それぞれのコマンド解釈部は識別できる。

【0086】

ホスト H は、例えばメモリユニット 1 A との間でデータ転送を行うとき、複合 I/O カード 10 A に対しメモリカード用の R/W 命令を発行する。メモリユニット 1 A のコマンド解釈部 13 は、その R/W 命令の正常受信時、ACK を送出する。一方、I/O ユニット 2 A のコマンド解釈部 23 は、その R/W 命令の受信時、NAK を設定する。I/O ユニット 2 A のレスポンス抑制部 26 A はそのとき、メモリユニット 1 A の入出力部 11 A の状態をチェックする。それにより、メモリユニット 1 A がアクティブであるとき、コマンド解釈部 23 のレスポンスを抑制する。メモリユニット 1 A がアクティブでない等、R/W 命令に対しレスポンスを送出できない状態にあるときは、コマンド解釈部 23 によるレスポンスの送出を認める。こうして、R/W 命令に適切に対応したレスポンスだけが、ホスト H へ返信される。

【0087】

以上の通り、実施例 1 による複合 I/O カード 10 A では、メモリユニット 1 A の入出力部 11 A と I/O ユニット 2 A の入出力部 21 A とが相互の状態を監視する。レスポンスの送出について両入出力部の間で競合が生じるとき、それぞれの入出力部の状態に応じ、一方のレスポンスが抑制され、適切なレスポンスのみが送出される。こうして、レスポンス同士の衝突が回避されるので、ホスト H は従来と同様なコマンド/レスポンス通信により、複合 I/O カード 10 A を一枚のカード型入出力装置として良好に認識できる。

【0088】

《実施例 2》

図 6 は、本発明の実施例 2 による複合 I/O カード 10 B について、ホスト H との間のデータ交換を示すブロック図である。

この複合 I/O カード 10 B は実施例 1 による複合 I/O カード 10 A と同様、メモリユニット 1 B と I/O ユニット 2 B とを有する。しかし、メモリユニット 1 B と I/O ユニット 2 B とでは、実施例 1 によるものと比べ、それぞれの入出力部 11 B と 21 B とが異なる。図 6 では、実施例 1 による複合 I/O カード 10 A と同様な構成に対し、図 1 と同じ符号を付す。更に、それらの同様な構成の説明は実施例 1 のものを援用する。

【0089】

メモリユニット 1 B の入出力部 11 B は、コマンド解釈部 13、レジスタ 14、状態推測部 15 B、レスポンス抑制部 16 B、及びレジスタ推定部 17 B を含む。同様に、I/O ユニット 2 B の入出力部 21 B は、コマンド解釈部 23、レジスタ 24、状態推測部 25 B、レスポンス抑制部 26 B、及びレジスタ推定部 27 B を含む。それぞれの構成について、両方の入出力部は共通する。以下、メモリユニット 1 B の入出力部 11 B について構成の詳細を説明する。

【0090】

10

20

30

40

50

状態推測部 15 B は、コマンド解読部 13 により受信されたコマンドの履歴を記憶する。コマンドはメモリユニット 1 B と I/O ユニット 2 B との両方へ通知されるので、その履歴は両ユニットで共通である。従って、その履歴に基づき、状態推測部 15 B は I/O ユニット 2 B の入出力部 21 B の状態を推測する。

【0091】

レスポンス抑制部 16 B は、状態推測部 15 B により推測された状態に基づき、ホスト H のコマンドに対する I/O ユニット 2 B の応答動作を判断する。I/O ユニット 2 B のレスポンスをホスト H へ送出すべきと判断するとき、メモリユニット 1 B 内のコマンド解読部 13 のレスポンスを抑制する。こうして、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B との間でレスポンスの送出についての競合が解消され、レスポンス同士のコマンド線 CMD 上での衝突が回避される。

【0092】

レスポンス抑制部 16 B は、実施例 1 のレスポンス抑制部 16 A と同様に、レスポンス送出判断を行う（図 2 参照）。実施例 1 によるレスポンス送出判断と同様な部分については、実施例 1 での説明を援用する。

但し、ステップ D2 とステップ D3 とは、次の点で実施例 1 によるレスポンス送出判断と異なる。

ステップ D2 では、I/O ユニット 2 A の入出力部 21 A がアクティブであるか否かを、レスポンス抑制部 16 B は、状態推測部 15 B により推測された状態に基づき判断する。

ステップ D3 では、レスポンス抑制部 16 A は状態推測部 15 B による推測に基づき、I/O ユニット 2 A の入出力部 21 A の状態をチェックする。

【0093】

I/O ユニット 2 B のコマンド解読部 23 により送出されたレスポンスは、コマンド線 CMD との節点（例えばワイヤード OR）を通し、メモリユニット 1 B のコマンド解読部 13 へも到達する。レジスタ推定部 17 B は、コマンド解読部 13 により受信された I/O ユニット 2 B のレスポンスを監視する。それにより、I/O ユニット 2 B の入出力部 21 B でのレジスタ 24 の更新を検知する。更に、そのレスポンスからレジスタ 24 の更新内容を推定し、メモリユニット 1 B のレジスタ 14 を同様に更新する。こうして、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B とでは、それぞれのレジスタ 14 と 24 とが共通の内容を保持する。

【0094】

特に、I/O ユニット 2 B の入出力部 21 B がスタンバイ状態 ST2 にあるとき、その入出力部 21 B のレスポンスをレジスタ推定部 17 B は監視し、入出力部 21 B でのカードアドレスの更新を検知する。更に、更新されたカードアドレスを推定し、レジスタ 14 に保持されるカードアドレスを書き換える。こうして、I/O ユニット 2 B のレジスタ 24 でカードアドレスが更新され、ホスト H へ送出されるごとに、メモリユニット 1 B のレジスタ 14 でもカードアドレスが同様に更新される。その結果、両ユニットが共通のカードアドレスを保持する。

【0095】

以下、ホスト H による複合 I/O カード 10 B 内の各ユニットに対する初期設定を例に挙げ、推測された入出力部の状態に応じた、レスポンスの送出についての調停動作を具体的に説明する。

ここで、メモリユニット 1 B の入出力部 11 B と I/O ユニット 2 B の入出力部 21 B とのそれぞれの初期設定時の状態遷移は、実施例 1 によるメモリユニット 1 A の入出力部 11 A と I/O ユニット 2 A の入出力部 21 A と共通である。すなわち、その状態遷移については、従来のカード型入出力装置の入出力部と共通する。それ故、その説明は実施例 1 によるものを援用する（図 3 参照）。

【0096】

図 7 は、実施例 2 による複合 I/O カード 10 B 内のそれぞれのユニットの入出力部について、その初期設定のフローチャートである。ここで、実施例 1 によるフローチャートと

同様なステップに対しては、図 3～4 と同じ符号を付す。更に、それらの説明は実施例 1 のものを援用する。

一方、ホスト H についての初期設定のフローチャートは、実施例 1 によるものと共通である。すなわち、ホスト H は実施例 2 による複合 I/O カード 10B に対する初期設定を、実施例 1 による複合 I/O カード 10A に対するものと全く同様に実行する。

【0097】

実施例 2 による複合 I/O カード 10B に対する初期設定について、実施例 1 によるものとは異なる部分を、以下説明する。

メモリユニット 1B 又は I/O ユニット 2B のいずれか、又はその両方がリセットされる
とき、リセットされた入出力部ではコマンドの履歴がクリアされる。従って、その入出力
部では、状態推測部が他の入出力部の状態を推測しない。特に、電源投入時（ステップ S
0）、二つの入出力部はいずれもリセットされるので、それらのいずれの状態推測部も、
他の入出力部の状態を推測しない。

ここで、リセットされた入出力部は、実施例 1 のような状態通知部を持たないので、アイ
ドル状態 ST1 又はインアクティブ状態 ST5 のいずれでも、その状態を他の入出力部へ
は通知できない。

【0098】

リセット命令によりいずれか一方のユニットだけがリセットされる時（ステップ C0）
、他方のユニットの入出力部では、コマンドの履歴が状態推測部により保持される。その
状態推測部は、他のユニットに対するリセット命令の受信時、コマンドの履歴を参照し、
「他の入出力部がリセットされ、アイドル状態 ST1 にある」と推測する。

更に、アイドル状態 ST1 の入出力部をインアクティブ状態 ST5 へ移行させるためのコ
マンドの受信時、他の入出力部の状態推測部は、「他の入出力部がアイドル状態 ST1 か
らインアクティブ状態 ST5 へ遷移した」と推測する。

【0099】

アイドル状態 ST1 の入出力部は、初期化命令の受信（ステップ C1）により初期化を開
始する（ステップ S1）。その初期化命令の受信時、他の入出力部の状態推測部は、「他
の入出力部がアイドル状態 ST1 からスタンバイ状態 ST2 へ遷移した」と推測する。

【0100】

スタンバイ状態 ST2 にある入出力部は、カードアドレス送出命令に従いカードアドレス
を更新しても（ステップ S7）、更新されたカードアドレスを他の入出力部へ通知しない
。しかし、他の入出力部では、レジスタ推定部が上記のように、スタンバイ状態 ST2 に
ある入出力部のレスポンスに基づき、更新されたカードアドレスを推定し、カードアドレ
スを同様に更新する。

特に、両ユニットの入出力部が共にスタンバイ状態 ST2 にあるとき、レスポンス抑制部
によるレスポンス送出判断（図 2 参照）に基づき、優先権を持たない入出力部は、カード
アドレス送出命令に対するレスポンス、すなわちカードアドレスの送出を抑制する（ステ
ップ S15）。更に、ステップ S4 で、ホスト H からのコマンドと共に、優先権を持つ入
出力部から送出されるレスポンスを監視する。そのレスポンスから、優先権を持つ入出
力部でのカードアドレスの更新が検知される時、レジスタ推定部が上記のように、カード
アドレスを同様に更新する（ステップ S17）。

【0101】

スタンバイ状態 ST2 にある入出力部は、ステップ S4 でカード選択命令を受信する時
、データ転送可能状態 ST3 へ遷移する。従って、いずれの入出力部も、カード選択命令
の受信時、「スタンバイ状態 ST2 にある他の入出力部がデータ転送可能状態 ST3 へ遷
移した」と推測する。

【0102】

コマンドの履歴に基づく他の入出力部の状態の推測、及び、他の入出力部のレスポンスの
監視を通したレジスタの更新は、上記の初期設定でのものと同様に、データ転送可能状態
以降の入出力部でも行われる。

10

20

30

40

50

【0103】

以上の通り、実施例2による複合I/Oカード10Bでは、メモリユニット1Bの入出力部11BとI/Oユニット2Bの入出力部21Bとがコマンドの履歴を記憶し、それに基づき相互の状態を推測する。ホストHのコマンドに対するレスポンスが競合するとき、それぞれの入出力部の状態に応じ、一方のレスポンスが抑制され、適切なレスポンスのみが送出される。それにより、ホストHは複合I/Oカード10Bを、一枚のカード型入出力装置として良好に認識できる。

【0104】

実施例2による複合I/Oカード10Bでは、実施例1による複合I/Oカード10Aと異なり、メモリユニット1BとI/Oユニット2Bとの間の配線が少ない。従って、ハードウェアが比較的簡単な構成であるので、回路規模を低減できる。

その反面、それぞれの入出力部による他の入出力部の状態の把握については、実施例1のような直接的監視が確実である。

【0105】

本発明による複合I/Oカードは、上記の実施例による構成の他に、次のような構成を持っていても良い。

例えば、実施例1による構成で、レジスタ更新通知部を実施例2と同様なレジスタ推定部に置換しても良い。逆に、実施例2による構成で、レジスタ推定部を実施例1と同様なレジスタ更新通知部に置換しても良い。それらの構成でも、ホストのコマンドに対するレスポンスが競合するとき、それぞれの入出力部の状態に応じ、一方のレスポンスを抑制し、適切なレスポンスのみを送出できる。それにより、ホストはその複合I/Oカードを、一枚のカード型入出力装置として良好に認識できる。

以上のことは、当業者であれば、上記の実施例の説明に基づき、容易に理解できるであろう。

【0106】

【発明の効果】

本発明による複合入出力装置は、例えば二つの入出力部を有する。それらの入出力部は、共通のバスでホストへ接続され、共通のアドレスでアクセスされる。特に、ホストのコマンドは、いずれの入出力部宛であるかに関わらず、両方の入出力部へ到達する。それぞれの入出力部は、相互の状態に応じ、コマンドに対するレスポンスを送出し、又は抑制する。それにより、それぞれの入出力部のレスポンスの内、いずれが適切な一方だけがホストへ返信され、それらのレスポンス同士がバス上で衝突しない。こうして、この複合入出力装置は、二つの入出力部のいずれか一方だけを含む従来の入出力装置と同様な一つの入出力装置として、ホストにより良好に認識される。

【0107】

上記の複合入出力装置では、二つの入出力部が相互の状態を直接監視しても良い。その他に、それぞれの入出力部がコマンドの履歴を保持し、それに基づき相互の状態を推測しても良い。上記の監視及び推測のいずれでも、それぞれの入出力部が相互のレスポンスの内容を正確に把握できる。その結果、それぞれの入出力部がいずれのレスポンスを返信すべきかを、適切に判断できる。

【図面の簡単な説明】

【図1】本発明の実施例1による複合I/Oカード10Aについて、ホストHとの間のデータ交換を示すブロック図である。

【図2】本発明の実施例1による複合I/Oカード10Aでの、レスポンス抑制部16Aによるレスポンス送出判断のフローチャートである。

【図3】本発明の実施例1による複合I/Oカード10A、本発明の実施例2による複合I/Oカード10B、及び、従来のカード型入出力装置のいずれの入出力部についても共通である、初期設定時の状態遷移を示す図である。

【図4】本発明の実施例1による複合I/Oカード10Aの初期設定の内、初期設定開始からメモリユニット1AとI/Oユニット2Aとの初期化完了までのフローチャートであ

10

20

30

40

50

る。(a)は、ホストHについてのフローチャートであり、(b)は、複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【図5】本発明の実施例1による複合I/Oカード10Aの初期設定の内、図4に示される部分に続く、カードアドレスの設定から初期設定の終了までのフローチャートである。

(a)は、ホストHについてのフローチャートであり、(b)は、複合I/Oカード10A内の二つの入出力部11Aと21Aとのそれぞれについてのフローチャートである。

【図6】本発明の実施例2による複合I/Oカード10Bについて、ホストHとの間のデータ交換を示すブロック図である。

【図7】本発明の実施例2による複合I/Oカード10B内のそれぞれのユニットの入出力部について、その初期設定のフローチャートである。

【図8】従来のメモリカード100とホストHとの間でのデータ交換を示すブロック図である。

【図9】従来のI/Oカード200とホストHとの間でのデータ交換を示すブロック図である。

【図10】従来のカード型入出力装置に対する初期設定のフローチャートである。(a)はホストHについてのフローチャートであり、(b)はカード型入出力装置の入出力部についてのフローチャートである。

【図11】複合I/Oカード300の内部構成の一例を示すブロック図である。

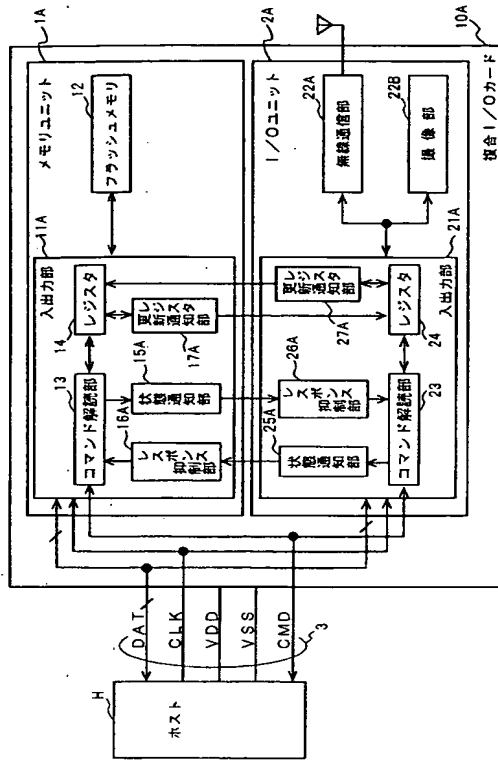
【符号の説明】

10A	複合I/Oカード
1A	メモリユニット
11A	メモリユニット1Aの入出力部
2A	I/Oユニット
21A	I/Oユニット2Aの入出力部
8	バス
DAT	データ線
CLK	クロック線
VDD	電源線
VSS	グラウンド線
CMD	コマンド線

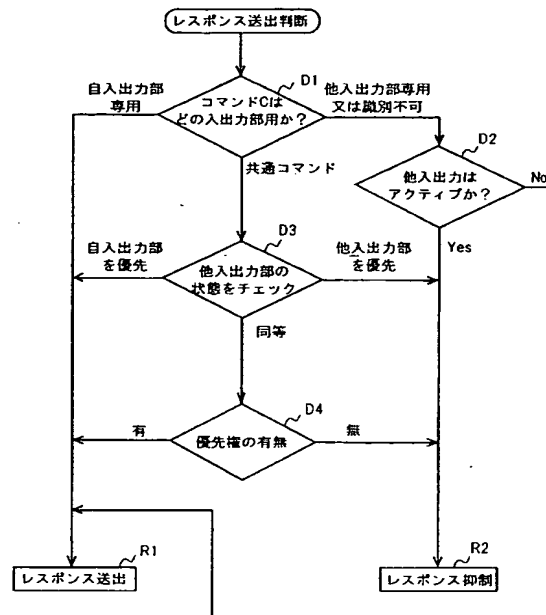
20

30

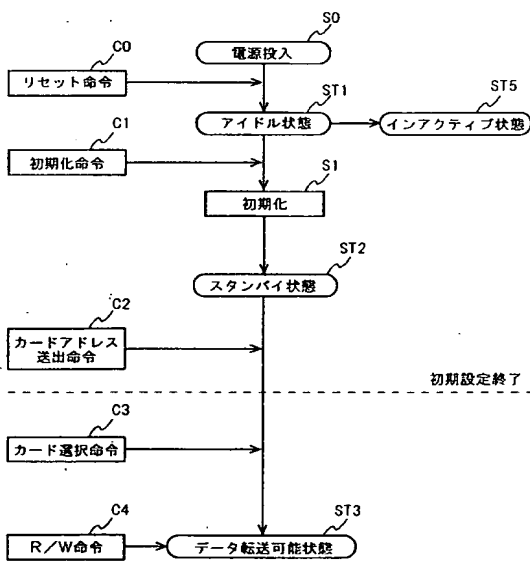
【図 1】



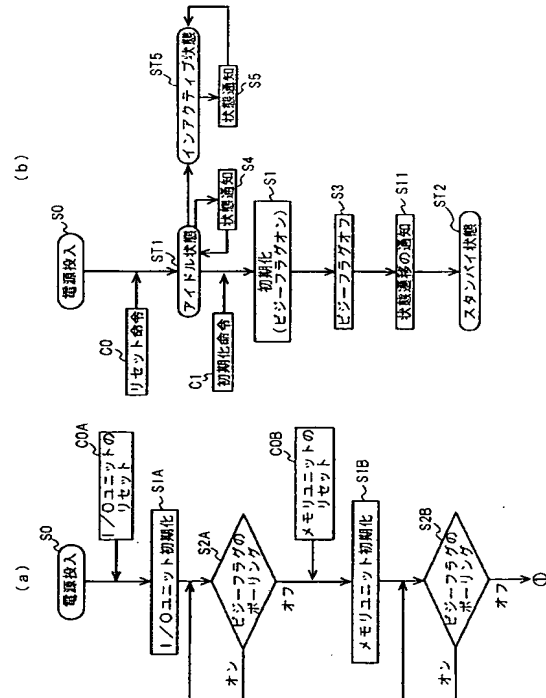
【図 2】



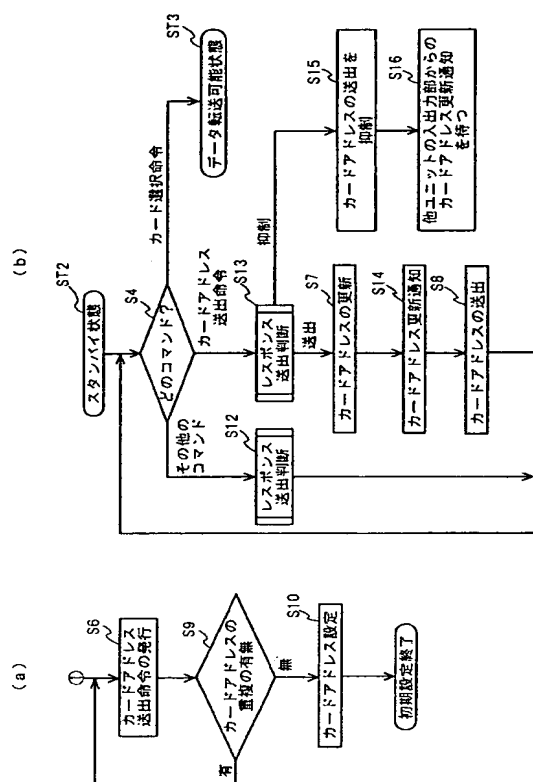
【図 3】



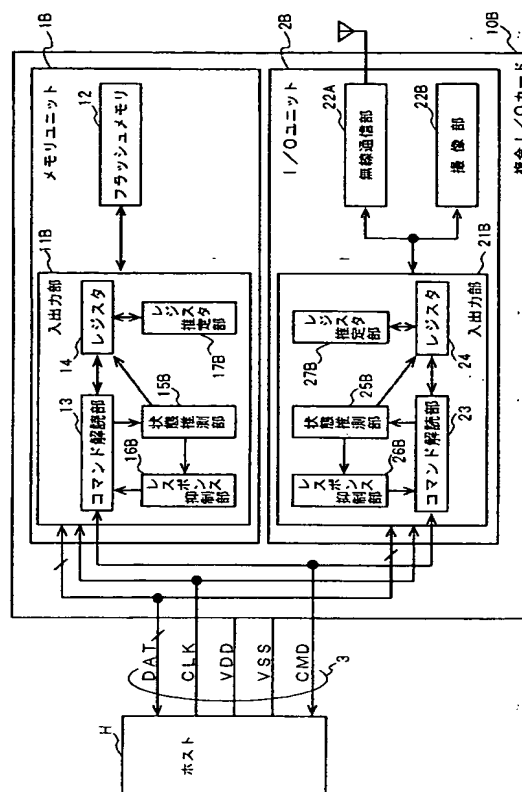
【図 4】



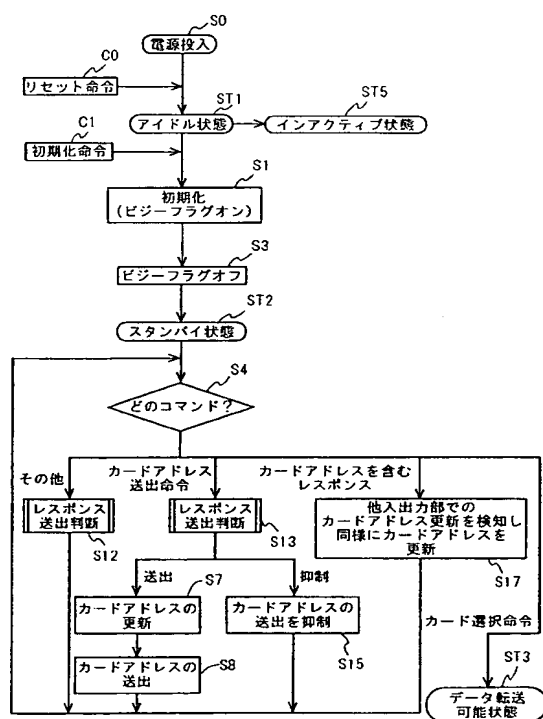
【図5】



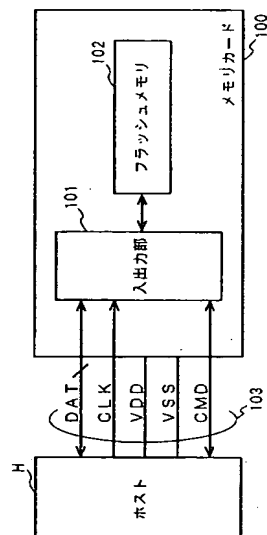
【図6】



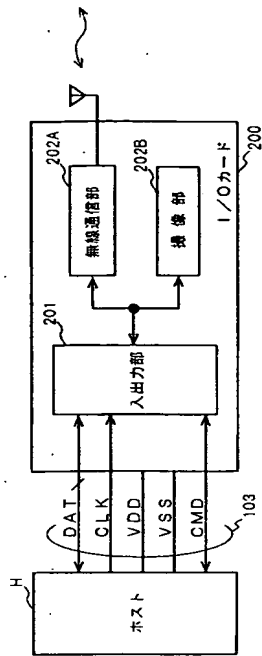
【図7】



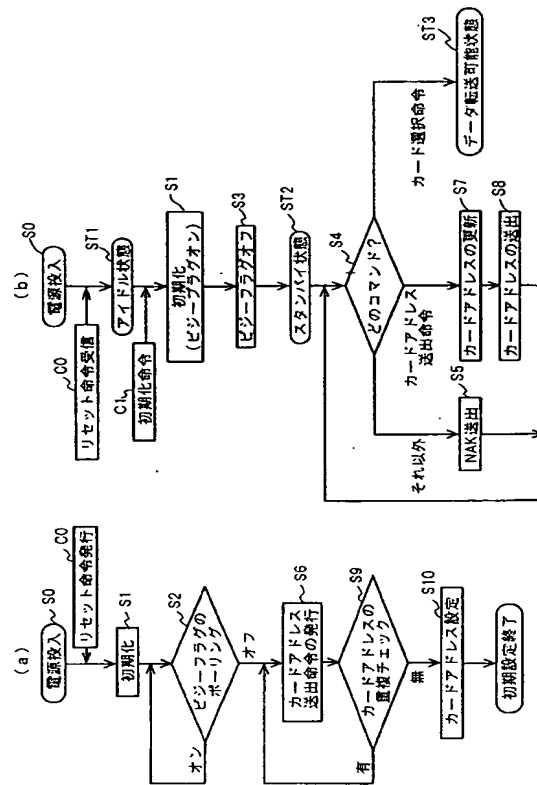
【図8】



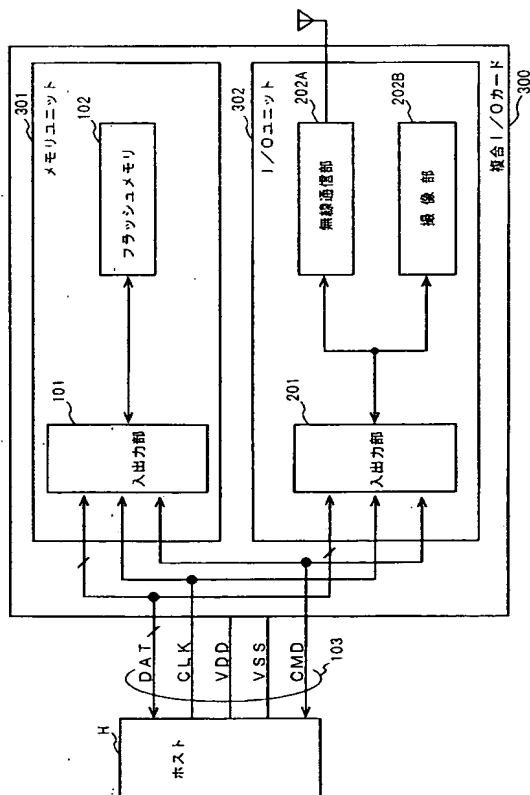
【 ㊦ 9 】



【 ☒ 1 0 】



【 1 1 】



フロントページの続き

(72)発明者 笠原 哲志

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 足立 達也

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5B014 EB01 FB04 GA06 GA08 GA13 GA24 GA54 GD05 GD22 GD33

HC12

5B035 AA00 BB09 CA11 CA22